

## דף נוסחאות למעגלי מיתוג אלקטרוניים

1. הגדרות מתחים:

א. מתחי  $V_{OH}, V_{OL}$ : מתח המוצא הגבוה ביותר והנמוך ביותר (עבור כניסה בהתאם!)

ב. מתחי  $V_{IH}, V_{IL}$ : נקבעים שרירותית. קריטריון מקובל: ע"פ  $\frac{dV_{out}}{dV_{in}} = -1$  במהפך

2. זמני מיתוג:  $\Delta t = \frac{C \cdot \Delta V}{I_{av}}$  כאשר  $\Delta V$  שינוי מתח המוצא ו-  $I_{av}$  הוא הזרם הממוצע.

•  $t_{PLH}, t_{PHL}$ : נמדד בין 50% שינוי בכניסה ל- 50% שינוי ביציאה.

(0 עד 50% ביציאה, עבור פונקצית מדרגה בכניסה).

•  $t_f, t_r$ : נמדד בין שינוי מתח הכניסה או המוצא בין 10% ל- 90%.

3. חישובי הספק:  $P = P_{דינמי} + P_{סטטי}$  כללי.

הספק סטטי: סכום על כל המצבים r של הספק במצב r כפול הסתברות של מצב r

$$p_{דינמי} = f \cdot V_{DD} \cdot C \cdot \Delta V_C$$

הספק דינמי:

4. פתרון משוואה דיפרנציאלית מהצורה:

$$\tau \frac{dV_C(t)}{dt} + V_C(t) = V_\infty$$

$$V_C(t=0) = V_0 ; \text{ עם תנאי התחלה:}$$

$$t = \tau \ln \left[ \frac{V_0 - V_\infty}{V_C(t) - V_\infty} \right]$$

$$V_C(t) = (V_0 - V_\infty) e^{-t/\tau} + V_\infty$$

### טרנזיסטור MOS:

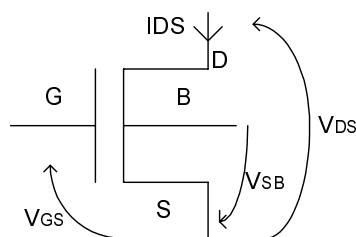
5. אפקט המצע:

$$\gamma = \pm \frac{1}{C_{ox}} \sqrt{2q \epsilon_0 \epsilon_s N_x} \text{ כאשר } V_T = V_{T0} + \gamma \left( \sqrt{|V_{SB}| + |2\Phi_F|} - \sqrt{|2\Phi_F|} \right)$$

$$\text{NMOS: } (N_x = N_A) \quad \gamma > 0 \quad \text{PMOS: } (N_x = N_D) \quad \gamma < 0$$

6. משוואת הזרם:

זרם	טרנז' NMOS	טרנז' PMOS	מצב הולכה
$I_D = 0$	$V_{GS} < V_T$	$V_{GS} > V_T$	<u>קטעון</u>
$I_D = \frac{k}{2} [2(V_{GS} - V_T)V_{DS} - V_{DS}^2]$	$V_{DS} \leq V_{GS} - V_T$	$V_{DS} \geq V_{GS} - V_T$	<u>אוהמי</u>
$I_D = \frac{k}{2} (V_{GS} - V_T)^2$	$V_{DS} \geq V_{GS} - V_T$	$V_{DS} \leq V_{GS} - V_T$	<u>רוויה</u>



NMOS

$$k = k' \frac{W}{L} = \mu \cdot C_{ox} \frac{W}{L}$$

טרנזיסטור ביפולרי

כיווני המתחים והזרמים הנ"ל נקבעו כך שעבור מצב פעיל (קדמי) כולם חיוביים.

תחומי עבודה: (עבור NPN)

	$V_{BE} < V_{BEon}$	שתי הדיודות קטועות	קטעון:
$i_C = \beta_F i_B$	$V_{BE} = V_{BEon}$	BE בהולכה	פעיל:
$i_C = \alpha_F i_E$	$V_{CE} > V_{BEon}$	BC בממתח אחורי	
$i_C < \beta_F i_B$	$V_{BE} = V_{BEsat}$	BE בממתח קדמי	רוויה:
	$V_{CE} = V_{CEsat}$	BC בממתח קדמי	

- ניתן להניח כי הטרנזיסטור עדיין פעיל ( $i_C = \beta_F i_B$ ) עבור  $V_{CE} > V_{CEsat}$ .
- עבור PNP כל ההגדרות הנ"ל תקפות, אלא שיש להפוך:

$V_{BE} \rightarrow V_{EB} ; V_{CE} \rightarrow V_{EC} ; V_{BC} \rightarrow V_{CB}$

Logical Effort

Term	Stage expression	Path expression
Logical effort	$g = \frac{R_i C_i}{R_{inv} C_{inv}}$	$G = \prod g_i$
Electrical effort	$h = C_{out} / C_{in}$	$H = C_{out-path} / C_{in-path}$
Branching effort	$b = \frac{C_{out_{i-1}}}{C_{in_i}}$	$B = \prod b_i$
Effort	$f = gh$	$F = GBH = \prod f_i$
Effort delay	$f$	$D_F = \sum f_i$ minimized for $f_i = F^{1/N}$
Parasitic delay	$p$	$P = \sum p_i$
Delay	$d = f + p$	$D = D_F + P$

מאמץ לוגי והשהיה פרזיטית עבור שערים פשוטים:  $b = \frac{\mu_n}{\mu_p}$ . הזמנים מנורמלים תמיד ליחידת זמן  $\tau$ .

$\tau = \left[ \frac{L_{min}^2 (1+b)}{\mu_n (V_{DD} - V_T)} \right]$

Inverter:	<u>Logical Effort = 1 !</u>	Parasitic delay = $P_{inv}$
*n Input NAND	Logical Effort = $(n+2)/3$	Parasitic delay = $nP_{inv}$
*n input NOR	Logical Effort = $(2n+1)/3$	Parasitic delay = $nP_{inv}$

\*נכון עבור יחס ניידויות 2.