

חוברת זו תוכננה להיות חוברת העבודה של הקורס "044262 תכן לוגי" המועבר בטכניון לסטודנטים מהפקולטה להנדסת חשמל.

מטרת החוברת

החוברת מותאמת לשלב הסופי של הקורס, בו מתרגלים את החומר שנלמד במהלך הסמסטר, וגם למבחן עצמו, בו יש לשלוף במהירות את דפי הנתונים השונים, ובכך החוברת מכסה, ע"י שאלות ממבחנים, את החומר הנלמד בקורס. החוברת היא יוזמה שלי ואין לה כל קשר לסגל הקורס.

מה בחוברת

בחוברת מופיעים כל המבחנים שניתנו בקורס החל מסמסטר אביב תשס"ג ועד סמסטר חורף תשס"ו (סה"כ 11 מבחנים). המבחנים המפורסמים בחוברת זו מפורסמים גם באתר הקורס, אם כי בחוברת זו הם מופיעים בצורה קומפקטית יותר ונוחה יותר לעבודה (וגם יותר חסכונית בנייר!). בנוסף למבחנים, בחוברת ישנם 22 תרגילים שנלקחו בחלקם משיעורי הבית שניתנו בשנים האחרונות בקורס. לכל המבחנים והתרגילים מוצמדים פתרונות מלאים ומפורטים. כל הפתרונות המופיעים בחוברת זו הם פתרונות שלי. שאלות העוסקות ברכיבי SRAM לא טופלו מכיוון שהוצאו לאחרונה מסילבוס הקורס.

תודות

תודה רבה לד"ר רן גינוסר, המרצה האחראי של הקורס בשלוש השנים האחרונות, ולסגל הקורס, על שהסכימו לחלוק עימי ועמכם הקוראים את המבחנים והתרגילים שכתבו עבור הקורס.

על המחבר

שמי אבי בנדל, אני סטודנט בפקולטה לחשמל בטכניון. את החוברת כתבתי מתוך רצון לתמצת את כלל חומר הקורס ולרכז אותו במקום אחד, צורך שעלה תוך כדי ההתכוננות למבחן הגמר. ספרים נוספים מסדרת "הפתק הסגול": ספרי הפתרונות במכניקה וחשמל לתלמידי מכינה וקורסי השלמה בפיסיקה.

תלמידי הטכניון – בקרו באתר www.hapetek.co.il, בו נמצאים כלים שימושיים עבורכם.

לשאלות/הצעות פנו אלי בדואר אלקטרוני avi.bandel@gmail.com או ב 054-5389865.

קריאה מהנה!

3	מבוא ל VHDL
7	טבלת מעבר בין בסיסים
8	צינור מערכות: K-Pipe
9	מוסכמות קריאה לשגרה ושימוש במחסנית
11	רשימת פקודות MIPS שכיחות
13	שימוש הפקודות ביחידות המחשב השונות
13	רשימת האוגרים במחשב MIPS
14	מרשמי מחשב Single – Cycle MIPS
18	מרשמי מחשב Multi – Cycle MIPS
23	מרשמי מחשב Pipelined MIPS
27	דוגמאות עם פתרונות לתרגול עצמי
47	תשס"ג אביב, מועד א', 24 יולי 2003
53	תשס"ג אביב, מועד א', 24 יולי 2003 - פתרונות
56	תשס"ג אביב, מועד ב', 22 אוקטובר 2003
63	תשס"ג אביב, מועד ב', 22 אוקטובר 2003 - פתרונות
67	תשס"ג אביב, מועד ג', 5 ינואר 2004
71	תשס"ג אביב, מועד ג', 5 ינואר 2004 - פתרונות
73	תשס"ד חורף, מועד א', 24 פברואר 2004
81	תשס"ד חורף, מועד א', 24 פברואר 2004 - פתרונות
85	תשס"ד חורף, מועד ב', 31 מרץ 2004
91	תשס"ד חורף, מועד ב', 31 מרץ 2004 - פתרונות
93	תשס"ד אביב, מועד א', 21 יולי 2004
100	תשס"ד אביב, מועד א', 21 יולי 2004 - פתרונות
103	תשס"ד אביב, מועד ב', 20 אוקטובר 2004
110	תשס"ד אביב, מועד ב', 20 אוקטובר 2004 - פתרונות
114	תשס"ה חורף, מועד א', 22 פברואר 2005
120	תשס"ה חורף, מועד א', 22 פברואר 2005 - פתרונות
122	תשס"ה חורף, מועד ב', 23 מרץ 2005
128	תשס"ה חורף, מועד ב', 23 מרץ 2005 - פתרונות
131	תשס"ה אביב, מועד א', 25 יולי 2005
141	תשס"ה אביב, מועד א', 25 יולי 2005 - פתרונות
144	תשס"ה אביב, מועד ב', 11 אוקטובר 2005
152	תשס"ה אביב, מועד ב', 11 אוקטובר 2005 - פתרונות

מבוא ל VHDL

הקדמה

VHDL היא HDL (Hardware Description Language), או שפה לתיאור חומרה. שפת תאור חומרה מוכרת נוספת היא Verilog. VHDL עומד בשביל Very high speed circuit HDL. בעזרת VHDL אפשר לתכנן, לתאר ולבצע סימולציה על מערכות מורכבות. ניתן לתאר מערכת בכל רמת הפשטה רצויה - מרמת הטרנזיסטור עד לרמת המערכת. במגבלות מסוימות ניתן להפוך תיאור VHDL של מערכת למעגל חשמלי באמצעות כלי סינתזה. כאשר כותבים ב-VHDL מומלץ מאד לחשוב במקביל על מימוש אפשרי בחומרה על מנת להעריך אם הקוד שנכתב הגיוני. לפני שמתחילים לכתוב ב-VHDL מומלץ להכין דיאגרמת בלוקים מפורטת של התכנון, עם הגדרה מדויקת של כל הכניסות והיציאות של כל בלוק. בנוסף לכך, רצוי לצייר סכמה של כל בלוק. אין צורך לרדת יותר מדי בפירוט התכנון, יש להגיע עד לרמת פירוט של מונים, רגיסטרים, יחידות אריתמטיות, מכונות מצבים וכדומה. עבור כל מכונת מצבים יש להכין דיאגרמת מצבים מפורטת.

שפת VHDL אינה Case-Sensitive וניתן לרשום את כל התוכנית באותיות קטנות או גדולות לפי בחירתך.

מונחים בסיסיים

Package – חבילה – מאפשרת למשתמש להגדיר סוגי משתנים ופונקציות פרטיות בצורה מרוכזת לשימוש ע"י כל יתר חלקי התכנון. קיימים גם Packages של המערכת שניתן להשתמש בהם, לדוגמא :

Library IEEE;

USE IEEE.std_logic_1164.ALL;

בעזרת שני המשפטים הנ"ל ניתן להשתמש בכל מה שמוגדר ב-Package ב-std_logic_1164. Package זה נמצא בספריה IEEE וכולל בין היתר את ההגדרות של הסוג std_logic, שהוא המשתנה הלוגי הבסיסי.

Entity – ישות – זאת אבן הבניין של התכנון. בתכנון היררכי, הרמה הגבוה ביותר היא ה- Top-Level Entity והיא מכילה Entities נוספים המתארים רמות נמוכות יותר של התכנון. ב-Entity מגדירים את הכניסות והיציאות של הבלוק. ניתן להגדיר את הפתחות (Ports) כ-IN, OUT ו-INOUT.

Architecture – ארכיטקטורה – מתארת את התנהגות ה-Entity. ל-Entity יכולה להיות יותר מארכיטקטורה אחת.

Configuration – קונפיגורציה – מגדירה איזה ארכיטקטורה לבחור לכל Entity. חובה להגדיר Configuration לפני ביצוע סימולציה.

Process – תהליך – זוהי יחידת הביצוע הבסיסית ב-VHDL. כל פעולות הסימולציה מחולקות לתהליך אחד או יותר.

סוגי משתנים – Data Types

ב-VHDL סוגי משתנים רבים. הנה חלקם : Integer : מספר שלם.

Std_Logic : משתנה שיכול לקבל 9 ערכים לוגיים הכוללים :

'0' - אפס לוגי ; '1' - אחד לוגי ; 'X' - לא ידוע ; 'Z' - High Z.

Std_Logic_Vector : וקטור של משתנים מסוג Std_Logic. דוגמאות לשימוש בסוג זה :

vec : STD_LOGIC_VECTOR(7 downto 0)

vec2 : STD_LOGIC_VECTOR(0 to 15)

אופרטורים

בשפת VHDL מוגדרים אוסף של אופרטורים. הנפוצים מביניהם הם :

אופרטורים לוגיים : and, or, nand, nor, xor, not

אופרטורים של יחס : =, >, <, <=, >=, /=

אופרטורים אריתמטיים : +, -, *, /

סוגי הצהרות (Statements)

Concurrent Statements – משפטים מקביליים – המשפטים המופיעים בארכיטקטורה בין ה- BEGIN ל- END הם משפטים מקביליים מפני שהם מתבצעים במקביל.

Sequential Statements – משפטים סדרתיים – מתבצעים באופן סידרתי אחד אחרי השני לפי סדר הרישום. ניתן לרשום משפטים מסוג זה רק בתוך תהליך (Process). IF, CASE ו- LOOP הם דוגמאות של משפטים סדרתיים נפוצים.